

CACHE MEMORY CONTROL SYSTEM

Patent Number: JP2018644
Publication date: 1990-01-22
Inventor(s): TAKARADA SHIGERU
Applicant(s): HOKURIKU NIPPON DENKI SOFTWARE KK
Requested Patent: ☐ JP2018644
Application Number: JP19880169820 19880706
Priority Number(s):
IPC Classification: G06F12/08
EC Classification:
Equivalents:

Abstract

PURPOSE:To improve the hit rate of a cache memory at execution of the interruption processing and at execution of the processing after the interruption processing is reset by switching the cache memory in case an interruption occurs during the execution of application.

CONSTITUTION:An interruption detecting means 5 detects whether an interruption is produced or not during the execution of an application program 3. A cache memory switch control means 6 switches a cache memory to the interruption detected by the means 5. A cache memory selecting means 7 selects one of plural cache memories based on the cache memory selection information pointed by the means 6. An interruption processing end detecting means 9 detects whether the interruption processing is through or not and informs the means 6 that the cache memory is switched to another cache memory so far used right before the occurrence of the interruption. Thus it is possible to improve the hit rate of the cache memory at execution of the interruption processing and at execution of the processing after the interruption processing is reset.

Data supplied from the esp@cenet database - I2

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平2-18644

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)1月22日

G 06 F 12/08

3 1 0 Z

7010-5B

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 キャッシュメモリ制御方式

⑰ 特 願 昭63-169820

⑱ 出 願 昭63(1988)7月6日

⑲ 発 明 者 宝 田 茂 石川県石川郡鶴来町安養寺1番地 北陸日本電気ソフトウェア株式会社内

⑳ 出 願 人 北陸日本電気ソフトウェア株式会社 石川県石川郡鶴来町安養寺1番地

㉑ 代 理 人 弁理士 内 原 晋

明 細 書

発明の名称

キャッシュメモリ制御方式

特許請求の範囲

アプリケーションプログラム実行中に割込みが発生したかどうかを検出する割込み手段と、前記割込み検出手段によって検出された割込みに対してキャッシュメモリの切り替えを制御するキャッシュメモリ切り替え制御手段と、前記キャッシュメモリ切り替え制御手段によって指示されるキャッシュ選択情報により複数のキャッシュメモリのどれを使用するかを選択するキャッシュメモリ選択手段と、割込み処理が終了したかを検出し、前記のキャッシュメモリ切り替え制御手段に対して割込み直前に使用していたキャッシュメモリへの切り替えを行うことを通知する割込み処理終了検出手段とから構成されることを特徴とするキャッシュメモリ制御方式

発明の詳細な説明

(産業上の利用分野)

本発明は、キャッシュメモリの制御方式に関し、特に割込み発生時のキャッシュメモリ制御方式に関する。

(従来の技術)

従来、この種のキャッシュメモリは、単一レベルのキャッシュメモリとして動作するものがある。

(発明が解決しようとする課題)

上述した従来のキャッシュメモリ制御方式では、アプリケーションプログラム実行中に割込みが発生すると、割込み処理が起動され、キャッシュメモリの内容を書き替えていたため、割込み処理実行時及び割込み処理復帰後の処理実行時のキャッシュのビット率が低下してしまうという欠点がある。

(発明が解決しようとする課題)

本発明のキャッシュメモリ制御方式は、アプリケーションプログラム実行中に割込みが発生した

かどうかを検出する割込み検出手段と、前記割込み検出手段によって検出された割込みに対してキャッシュメモリの切り替えを制御するキャッシュメモリ切り替え制御手段と、前記キャッシュメモリ制御手段によって指示されるキャッシュメモリ選択情報により複数のキャッシュメモリのどれを使用するかを選択するキャッシュメモリ選択手段と、割込み処理が終了したかを検出し、前記キャッシュメモリ切り替え制御手段に対して割込み直前に使用していたキャッシュメモリへの切り替えを行うことを通知する割込み処理終了検出手段とを有している。

実施例)

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例を示す。第1図を参照すると、本発明の一実施例はオペレーティングシステム2、アプリケーションプログラム3を格納する主記憶部1と、アプリケーション用キャッシュメモリ4と、割込み処理用キャッシュメモリ

3 -

リ8と、これらキャッシュメモリを選択するキャッシュメモリ選択手段7と、割込み検出手段5と、割込み処理終了検出手段9と、これら検出手段5、9によりどのキャッシュメモリに切り替えるかを示すキャッシュ選択情報を発生するキャッシュメモリ切り替え手段6とから構成されている。次に本発明の一実施例の動作について、図面を参照して説明する。

まず、主記憶部1上には、オペレーティングシステム2及びアプリケーションプログラム3が展開されている。また、アプリケーション用キャッシュメモリ4には、アプリケーションプログラム3の一部が取り込まれている。このアプリケーション用キャッシュメモリ4に取り込まれているアプリケーションプログラム3を実行中に割込み検出手段5が割込みを検出し、キャッシュメモリ切り替え制御手段6へ通知する。キャッシュメモリ切り替え制御手段6は、どのキャッシュメモリに切り替えるかを示す選択情報をキャッシュメモリ選択手段7に対して通知する。次にキャッシュメモ

- 4 -

リ選択手段7は、キャッシュメモリ切り替え制御手段6から通知されたキャッシュ選択情報に基づいて割込み処理用キャッシュメモリ8に切り替える。割込み処理用キャッシュメモリ8を使用して、割込み処理が実行され、割込み処理終了時に、割込み処理終了検出手段9が割込みの終了を検出し、キャッシュメモリ切り替え制御手段6に通知する。キャッシュメモリ切り替え制御手段6は割込み直前に使用していたキャッシュメモリへの切り替えを示すキャッシュ選択情報をキャッシュメモリ選択手段7に通知する。次にキャッシュメモリ選択手段7は、キャッシュメモリ切り替え制御手段6から通知されたキャッシュ選択情報に基づいて、元のアプリケーション用キャッシュメモリ4に切り替え、割込み発生以後のアプリケーションプログラムを実行する。

発明の効果

以上説明したように本発明は、アプリケーションを実行中に割込みが発生するとキャッシュメモリを切り替えることにより、割込み処理実行時お

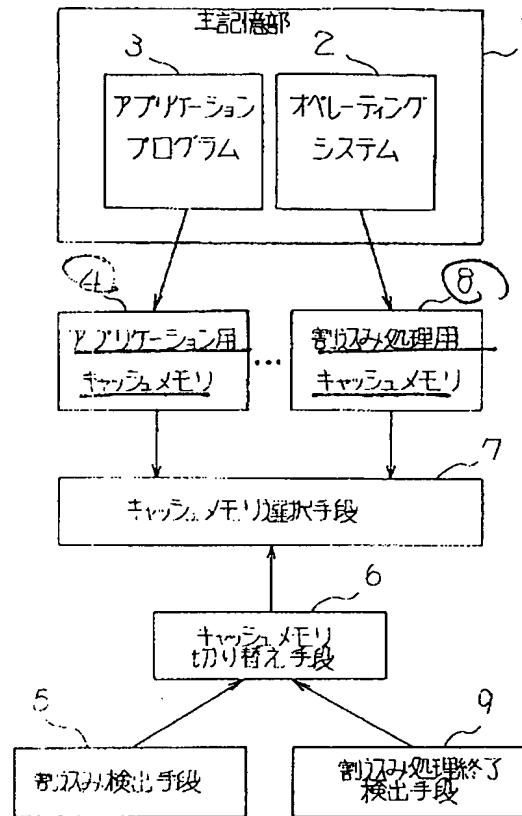
よび割込み処理からのアプリケーションプログラムの復帰時のキャッシュメモリにヒット率が向上し、結果としてシステムの性能を向上させることのできる効果がある。

図面の簡単な説明

第1図は、本発明の一実施例であるキャッシュメモリ制御方式を示す機能構成図である。

1……主記憶部、2……オペレーティングシステム、3……アプリケーションプログラム、4……アプリケーション用キャッシュメモリ、5……割込み検出手段、6……キャッシュメモリ切り替え手段、7……キャッシュメモリ選択手段、8……割込み処理用キャッシュメモリ、9……割込み処理終了検出手段。

代理人 菅 理 二 内 原 智



第 1 図